

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat  
(c) 2004 EPO. All rts. reserv.

9989926

Basic Patent (No,Kind,Date): JP 3141391 A2 910617 <No. of Patents: 001>

**MULTIOUTPUT DRIVER INTEGRATED CIRCUIT** (English)

Patent Assignee: FUJI ELECTRIC CO LTD

Author (Inventor): TOI SADAMICHI

IPC: \*G09G-003/36; G02F-001/133; G09G-003/20

JAPIO Reference No: 150363P000144

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 3141391	A2	910617	JP 89280388	A	891027 (BASIC)

Priority Data (No,Kind,Date):

JP 89280388 A 891027

DIALOG(R)File 347:JAPIO  
(c) 2004 JPO & JAPIO. All rts. reserv.

03478491     \*\*Image available\*\*  
MULTIOUTPUT DRIVER INTEGRATED CIRCUIT

PUB. NO.:     03-141391 [JP 3141391 A]  
PUBLISHED:     June 17, 1991 (19910617)  
INVENTOR(s):   TOI SADAMICHI  
APPLICANT(s): FUJI ELECTRIC CO LTD [000523] (A Japanese Company or  
                 Corporation), JP (Japan)  
APPL. NO.:     01-280388 [JP 89280388]  
FILED:         October 27, 1989 (19891027)  
INTL CLASS:     [5] G09G-003/36; G02F-001/133; G09G-003/20  
JAPIO CLASS:    44.9 (COMMUNICATION - Other); 29.2 (PRECISION INSTRUMENTS -  
                 Optical Equipment)  
JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R097 (ELECTRONIC MATERIALS -  
Metal  
                 Oxide Semiconductors, MOS)  
JOURNAL:        Section: P, Section No. 1251, Vol. 15, No. 363, Pg. 144,  
                 September 12, 1991 (19910912)

#### ABSTRACT

**PURPOSE:** To obtain the multioutput driver integrated circuit which corrects the fluctuations in the transmission time and on voltage value of each of respective outputs by adopting the system of variably adjusting the respective output values so as to increase and decrease these values.

**CONSTITUTION:** An output transistor array part 14 has the switching parts 14(sub 1) to 14(sub 64) corresponding one to one to respective LCDs. The opening and closing of the respective switching parts 14(sub 1) to 14(sub 64) are controlled by output part control signals IN(sub 1) to IN(sub 64) and selection control signals C(sub 1) to C(sub 64). The on voltage values can, therefore, be variably adjusted by programmably selecting the prescribed number among the switching circuits 14(sub 1) to 14(sub 64) by the selection control signals C(sub 1) to C(sub 64). If the number of the switching circuits selected by the specific switching means is large, these circuits are parallel connected bodies and, therefore, the on resistance is eventually lowered and the voltage drop is correspondingly lowered. The on voltage is consequently increased and the rise characteristic is steepened. The transmission time is eventually shortened. The fluctuations in the on voltage values and transmission time among the respective outputs are corrected in this way.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平3-141391

⑮ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)6月17日

G 09 G 3/36  
G 02 F 1/133  
G 09 G 3/20

5 0 5

J

8621-5C  
7709-2H  
8621-5C

審査請求 未請求 請求項の数 2 (全8頁)

⑭ 発明の名称 多出力ドライバ集積回路

⑯ 特 願 平1-280388

⑰ 出 願 平1(1989)10月27日

⑱ 発 明 者 戸 井 貞 道 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑲ 出 願 人 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号

⑳ 代 理 人 弁理士 山 田 稔

## 明 細 書

## 1. 発明の名称

多出力ドライバ集積回路

## 2. 特許請求の範囲

(1) 各負荷に1対1に対応して設けられたスイッチング手段をn個備えた多出力ドライバ集積回路において、

各スイッチング手段は並列接続したm個のスイッチング回路を以て構成され、そのm個のスイッチング回路は共通制御信号及び出力端子を共有しており、各スイッチング回路は、該共通制御信号により互いに排他的に開閉動作をし、電源側から負荷側へ充電すべき充電用スイッチング素子及びその充電量を接地側へ放電すべき放電用スイッチング素子を有すると共に、選択制御信号により開閉動作をし、該電源側と該充電用スイッチング素子との導通・遮断をすべき充電素子選択用スイッチング素子及び該放電用スイッチング素子と該接地側との導通・遮断をすべき放電素子選択用スイッチング素子を有することを特徴とする多出

力ドライバ集積回路。

(2) 各負荷に1対1に対応して設けられたスイッチング手段をn個備えた多出力ドライバ集積回路において、

各スイッチング手段は並列接続したm個のスイッチング回路を以て構成され、そのm個のスイッチング回路は共通制御信号及び出力端子を共有しており、各スイッチング回路は、該共通制御信号により互いに排他的に開閉動作をし、電源側から負荷側へ充電すべき充電用スイッチング素子及びその充電量を接地側へ放電すべき放電用スイッチング素子を有すると共に、専用充電選択制御信号により開閉動作をし、該電源側と該充電用スイッチング素子との導通・遮断をすべき充電素子選択用スイッチング素子及び専用放電選択制御信号により開閉動作をし、該放電素子選択用スイッチング素子を有することを特徴とする多出力ドライバ集積回路。

## 3. 発明の詳細な説明

(産業上の利用分野)

特開平3-141391(2)

本発明は、多数のLCD（液晶表示素子）等を駆動する多出力ドライバ集積回路に関し、特に、各出力毎のオン抵抗ないしオン／オフ応答速度（伝達時間）を可変調節できる多出力ドライバ集積回路に関する。

〔従来の技術〕

従来のLCDドライバ集積回路は、第11図に示すように、シリアルデータ信号DINを転送クロックCLKが加わるたびに次段へシフトさせるn段（例えば64ビット）のシフトレジスタ1と、ラッチ信号LATCHの入来に同期してシフトレジスタ1の各段の内容をパラレルデータとして取り込みこれを一時保持するラッチ回路アレイ部2と、各ラッチ回路の出力と条件入力（イネーブル信号等）に基づいて出力部制御信号IN<sub>1</sub>～IN<sub>m</sub>を生成するデータ選択部3と、その出力部制御信号IN<sub>1</sub>～IN<sub>m</sub>に基づいて出力端子OUT1～OUT64に接続された各LCD（負荷）に対する充放電を行なう出力トランジスタアレイ部4と、を備えるものである。

〔発明が解決しようとする課題〕

しかしながら、このような多出力ドライバ集積回路にあっては、被駆動素子たるLCD間の負荷にバラツキがあると共に、出力トランジスタ部間にも特性バラツキが不可避免的に生じているため、各出力毎に信号伝達時間（応答時間）とオン抵抗のバラツキが生じてしまう。すなわち、例えば第13図に示すように、ラッチ信号LATCHの立下りから出力トランジスタ部4<sub>1</sub>の出力OUT1が立上がるまでの伝達時間をTPD1とし、そのオン電圧値を100Vとし、そしてこれらを標準値とすると、出力トランジスタ部4<sub>1</sub>の出力OUT2の伝達時間TPD2は出力OUT1のそれよりも長く、また出力OUT2のオン電圧値は99Vで、出力OUT1のそれよりも低い。

そこで、本発明は上記問題点を解決するものであり、その課題は、各出力値を増減的に可変調整する方式を採用することにより、各出力毎の伝達時間及びオン電圧値のバラツキを補正し得る多出力ドライバ集積回路を提供することにある。

この出力トランジスタアレイ部4の各出力トランジスタ部4<sub>1</sub>～4<sub>m</sub>としては、例えば第12図（A）、（B）に示す構成のものが知られている。第12図（A）に示す出力トランジスタ部は、出力部制御信号により互いに排他的にオン／オフする充電用NチャネルMOSFET5及び放電用PチャネルMOSFET6からなるCMOSインバータ回路で、論理回路電源V<sub>DD</sub>を用いた低圧ドライバに適用される。なお、LCDは負荷Lとして負荷抵抗R<sub>L</sub>と負荷コンデンサC<sub>L</sub>とから等価的に構成されている。第12図（B）に示す出力トランジスタ部は、高圧電源V<sub>H</sub>を用いた高圧ドライバに適用され、論理回路電源電圧からLCD駆動用高圧電源電圧に昇圧変換するレベルシフト機能を備えており、分圧抵抗R<sub>1</sub>、R<sub>2</sub>、抵抗R<sub>3</sub>に直列接続され、出力部制御信号IN<sub>1</sub>により開閉動作するPチャネルMOSFET7と、その開閉動作により互いに排他的にゲート駆動される充電用高耐圧MOSFET8及び放電用高耐圧MOSFET9とから構成されている。

〔課題を解決するための手段〕

上記課題を解決するために、各負荷に1対1に対応して設けられたスイッチング手段をn個備えた多出力ドライバ集積回路において、本発明の講じた手段は、上記各スイッチング手段を並列接続したm個のスイッチング回路を以て構成し、そのm個のスイッチング回路は共通制御信号及び出力端子を共有しており、各スイッチング回路としては、上記共通制御信号により互いに排他的に開閉動作をし、電源側から負荷側へ充電すべき充電用スイッチング素子及びその充電量を接地側へ放電すべき放電用スイッチング素子を有すると共に、選択制御信号により互いに排他的に開閉動作をし、電源側と充電用スイッチング素子との導通・遮断とすべき充電素子選択用スイッチング素子及び放電用スイッチング素子と接地側との導通・遮断をすべき放電素子選択用素子を有するものである。また別の手段としては、上記充電素子選択用スイッチング素子と上記放電素子選択用スイッチング素子とが夫々専用充電選択制御信号、専用

特開平3-141391(3)

放電選択制御信号により個別的に制御されるものである。

## 〔作用〕

かかる手段によれば、従来のように各スイッチング手段が夫々の単一制御信号だけで一義的に充放電動作をするのではなく、そのスイッチング手段を構成する $m$ 個のスイッチング回路のうち選択制御信号により優先的に選択されたスイッチング回路のみが初めて共通制御信号により充放電動作をする。このため、あるスイッチング手段については $m$ 個のスイッチング回路のうち所定の個数をプログラマブルに選択制御信号で選択することにより、オン電圧値を可変調整することができる。特定のスイッチング手段において選択されたスイッチング回路の個数が多ければ、これらは並列接続体であるから、結果としてオン抵抗が低くなり、その分の電圧降下も低くなるので、これによりオン電圧値が高くなる。またオン抵抗が低くなることにより、立上り特性が急峻となり、結果的に伝達時間が短くなる。したがって、各出力間のオン

電圧値及び伝達時間のバラツキを是正することが可能となる。

しかしながら、上記の各スイッチング回路における充電素子選択スイッチング素子及び放電素子選択スイッチング素子は選択制御信号により同時に選択されるので、立上り特性を速くすれば、これに連動して立下り特性も速くなるので、立上り特性を速くし且つ立下り特性を速くすることができない。すなわち、立上り特性と立下り特性の独立的遅速制御が不可能である。そこで本発明の講じた第2の手段は、充電素子選択スイッチング素子を専用充電選択制御信号で開閉動作させると共に、放電素子選択スイッチング素子を専用放電選択制御信号で開閉動作させる方式を採用することにより、各スイッチング回路の充電、放電作用の独立的制御で、立上り特性と立下り特性の相互の最適値設定を可能とした。

## 〔実施例〕

次に、本発明の実施例を添付図面に基づいて説明する。

第1図は本発明の第1実施例に係るLCDドライバ集積回路を示すブロック図である。

このLCDドライバ集積回路は、シリアルデータ信号DINを転送クロックCLKが加わるたびに次段へシフトさせる $n$ 段（例えば64ビット）のシフトレジスタ1と、ラッチ信号LATCHの入来に同期してシフトレジスタ1の各段の内容を取り込みこれを一時保持するラッチ回路アレイ部2と、各ラッチ回路の出力と条件入力（イネーブル信号等）に基づいて出力部制御信号 $IN_1 \sim IN_m$ を生成するデータ選択部3と、その出力部制御信号 $IN_1 \sim IN_m$ に基づいて出力端子OUT1～OUT64に接続される各LCD（負荷）に対する充放電を行なう出力トランジスタアレイ部4とから構成されている。

出力トランジスタアレイ部4は各LCDに1対1に対応したスイッチング部14<sub>1</sub>～14<sub>m</sub>を有し、各スイッチング部14<sub>1</sub>～14<sub>m</sub>は出力部制御信号 $IN_1 \sim IN_m$ と選択制御信号 $C_1 \sim C_m$ とにより開閉制御される。この選択制御信号 $C_1 \sim C_m$ は

予めメモリ部15内に記憶された校正データに基づいて生成される。

第2図は上記スイッチング部の1つを示すブロック図である。スイッチング部14<sub>1</sub>は8個の3ステートバッファ回路14<sub>11</sub>～14<sub>18</sub>の並列接続体で、出力部制御信号（共通制御信号） $IN_1$ を共通入力とし、各出力が出力端子OUT1に供給される。各3ステートバッファ回路14<sub>11</sub>～14<sub>18</sub>は、第3図に示すように、互いに同一構成のMOSFET回路の並列接続とされている。例えば、3ステートバッファ回路14<sub>11</sub>は、出力部制御信号 $IN_1$ で排他的に開閉動作をするNチャネル充電用MOSFET16aとPチャネル放電用MOSFET16bとからなるCOMSインバータ回路と、選択制御信号 $C_1$ で同時に開閉動作をする充電素子選択用NチャネルMOSFET17aと放電素子選択用PチャネルMOSFET17bとから構成されている。放電素子選択用PチャネルMOSFET17bのゲートには選択制御信号 $C_1$ がインバータ18を介して印加される。充電用MOSFET16aは出力部

特開平3-141391(4)

制御信号 $1N_1$ のHレベルで閉成し、電源 $V_{DD}$ から出力端子 $OUT_1$ に対し充電すべきものであり、充電素子選択用MOSFET17aは選択制御信号 $C_{11}$ のHレベルで閉成し、電源 $V_{DD}$ の充電用MOSFET16aへの付勢を継続すべきものである。また放電用MOSFET16bは出力部制御信号 $1N_1$ のLレベルで閉成し、負荷側の電氣量を端子 $OUT_1$ を介して接地側へ放電すべきものであり、放電素子選択用MOSFET17bは選択制御信号 $C_{11}$ のHレベルで閉成し、放電用MOSFET16bと接地との接続を断続すべきものである。

今、各スイッチング部14<sub>1</sub>～14<sub>n</sub>のうち4個の3ステートバッファ回路(例えば14<sub>11</sub>～14<sub>14</sub>)のすべてを選択した場合、出力端子 $OUT_1$ 、 $OUT_2$ 、 $OUT_3$ 、 $OUT_4$ に現れる出力電圧波形が第4図に示すものとし、 $OUT_1$ の出力電圧の立上り特性(伝達時間 $TPD_1$ )と $OUT_3$ の立下り特性(伝達時間 $TPD_3$ )が基準値(正常値)とする。ここで、スイッチング部14<sub>1</sub>について

1又は2以上をLレベルとし、放電路のいくつかを削減する。

しかしながら、第4図には図示しないが、例えば $OUT_2$ の出力電圧の立下り時間を速くすると、その立下り時間も速くなる。すなわち、選択制御信号 $C_{11}$ ～ $C_{1n}$ のいずれかがHレベルとなると、同時に充電素子選択用MOSFET17a及び放電素子選択用MOSFET17bが共に閉成されるため、立上り時間と立下り時間とが連動してしまう。素子特性又は配線長さのバラツキにより、もともと立上り時間が速くしかも立下り時間が遅いスイッチング部やその逆の相関を持つスイッチング部も存在することから、上記実施例によれば伝達時間やオン電圧値の均一化を完全には校正できない。

第5図は本発明の第2実施例に係るスイッチング部の構成を示す回路図である。

この回路構成の第3図に示す回路構成と異なる点は、選択制御信号 $C_{11}$ ～ $C_{1n}$ が放電素子選択用MOSFET17bのゲートに直接印加されており、

は立上り時間(伝達時間 $TPD_2$ )が $TPD_1$ に比して遅い。そこで選択制御信号 $C_{11}$ ～ $C_{1n}$ のいずれかをHレベルとし、残る4個の充電用MOSFET17aのうち1又は2以上を閉成させ、充電路を並列追加することにより、出力端子 $OUT_2$ の出力電圧の立下り特性が速くなり、しかもオン電圧値が上昇して出力端子 $OUT_1$ の出力電圧波形と相等しくなる。逆に $OUT_2$ の立上り時間が速すぎる場合は、選択制御信号 $C_{11}$ ～ $C_{1n}$ の1又は2以上をLレベルとし、充電路のいくつかを削減する。またスイッチング部14<sub>1</sub>については立下り時間(伝達時間 $TPD_4$ )が $TPD_3$ に比して遅い。かかる場合も選択制御信号 $C_{11}$ ～ $C_{1n}$ のいずれかをHレベルとし、残る4個の放電用MOSFET17bのうち1又は2以上を閉成状態として、放電路を並列追加することにより、出力端子 $OUT_4$ の出力電圧の立下り特性が遅くなり、しかもオフ電圧値が下降して出力端子 $OUT_3$ の出力電圧波形と相等しくなる。逆に $OUT_4$ の立下り時間が速すぎる場合は、選択制御信号 $C_{11}$ ～ $C_{1n}$ の

第3図示のインバータ18を除去したところにある。充電素子選択用MOSFET17aは選択制御信号 $C_{11}$ ～ $C_{1n}$ のHレベルで閉成されるが、放電素子選択用MOSFET17bは選択制御信号 $C_{11}$ ～ $C_{1n}$ のLレベルで閉成される。すなわち、充電素子選択用MOSFET17aと放電素子選択用MOSFET17bとは選択制御信号 $C_{11}$ ～ $C_{1n}$ で互いに排他的に開閉動作される。

ここで、出力端子 $OUT_1$ ～ $OUT_4$ の出力電圧波形が第6図に示すものとし、 $OUT_1$ の出力電圧波形が立上り特性及び立下り特性とも基準値に合致するとする。出力端子 $OUT_2$ の電圧波形は立上り特性及び立下り特性がともに遅い。かかる場合、充電期間においては選択制御信号 $C_{11}$ ～ $C_{1n}$ の1又は2以上をHレベルとして充電素子選択用MOSFET17aの閉成個数を増加させ、並列の充電路を追加することにより立上り特性を速めてオン電圧値を上昇させることができ、また放電期間においては選択制御信号 $C_{11}$ ～ $C_{1n}$ の1又は2以上をLレベルに切換えると、放電素子選択

特開平3-141391(5)

用MOSFET17bの個数が増加し、並列の放電路が追加されるから、立下り特性を速めてオフ電圧値を降下させることができる。一方、出力端子OUT3の出力電圧波形は立上り特性が遅いながらも、立下り特性はほぼ基準値に合致している。かかる場合、立上り特性のみ校正を加えればよいので、充電期間においては選択制御信号C<sub>11</sub>～C<sub>1n</sub>の1又は2以上をHレベルとするが、放電期間においてはそれらをHレベルのままとし、放電路が増加しないように制御維持する。逆に、出力端子OUT4の出力電圧波形のように、立上り特性は基準値にほぼ合致しているが、立下り特性が遅い場合は、充電期間においては選択制御信号C<sub>11</sub>～C<sub>1n</sub>をすべてLレベルとして充電路を増加せず、放電期間においては選択制御信号C<sub>11</sub>～C<sub>1n</sub>の1又は2以上をLレベルとして放電路を増加させる。

このように、充電素子選択用MOSFET17aと放電素子選択用MOSFET17bとを選択制御信号のH/Lに対して互いに排他的に開閉動作させることにより、両者の開閉の連動性がなくなる

がないので、タイミング制御系を簡略化できる。

第9図は本発明の第4実施例に係るLCDドライバ回路を示すブロック図である。なお、第9図において第7図に示す部分と同一部分には同一参照符号を付し、その説明は省略する。この実施例における出力トランジスタ部4は従来と同様の構成であるが、データ選択部3と出力トランジスタ部4との間に第7図における2コントロールバッファ回路24<sub>1</sub>～24<sub>n</sub>を有するバッファ回路部34が設けられている。出力トランジスタ部4の各ビットとデータ選択部3の各ビットとを接続する配線の長さはレイアウト上ビット毎に異なるので、立上り特性又は立下り特性の遅延だけでなく、信号の遅延が不可避免的に発生する。今、第10図に示すように、データ選択部3の1ビット目の出力AIN<sub>1</sub>の波形が基準値で、2コントロールバッファ回路24<sub>1</sub>の出力BIN<sub>1</sub>が殆ど遅延することなく出力し、出力端子OUT1に図示の波形が現われたとする。ここで、データ選択部3の2ビット目の出力AIN<sub>2</sub>の波形が出力AIN<sub>1</sub>のそれより

ので、立上り特性と立下り特性とを個別的に遅延制御できる。ただ、充電期間と放電期間との間で1つの選択制御信号の高低変化が必要となるため、タイミング制御の複雑化を若干招く。

第7図は本発明の第3実施例に係るLCDドライバ回路を示すブロック図である。なお、第7図において第1図に示す部分と同一部分には同一参照符号を付し、その説明は省略する。この実施例は前述の第5図に示す実施例を改善したものであり、出力トランジスタ部24は2コントロールバッファ回路24<sub>1</sub>～24<sub>n</sub>で構成されている。2コントロールバッファ回路24<sub>1</sub>は第8図に示す如く8本の専用充電選択制御信号PC<sub>11</sub>～PC<sub>18</sub>(PC<sub>11</sub>～PC<sub>18</sub>)と8本の専用放電選択制御信号NC<sub>11</sub>～NC<sub>18</sub>(NC<sub>11</sub>～NC<sub>18</sub>)とを有する。これらの制御信号PC<sub>11</sub>、NC<sub>11</sub>は充電期間と放電期間との間で高低変化がなく、メモリ部15の校正データに基づいて起動時から常に一定の論理値レベルを維持する。したがって、第2実施例のように、選択制御信号のレベルを充電期間と放電期間との間で切換える必要

も遅延しているとすれば、2コントロールバッファ回路24<sub>1</sub>の専用充電選択制御信号を増やし、配線抵抗を下げることで、2コントロールバッファ回路24<sub>1</sub>の出力BIN<sub>1</sub>の立上り時点が早まる。このため、出力端子OUT2に現われる出力電圧波形は立下り特性が速くなるのではなく、立下り特性(勾配)は同じでありながら、立下り時点が早まる。勿論、出力電圧の立下り時点もシフトさせることができる。

(発明の効果)

以上説明したように、本発明に係る多出力ドライバ集積回路は、1ビット出力に対応したスイッチング手段を並列接続したm個のスイッチング回路を以て構成し、各スイッチング回路における充電用スイッチング素子に対して電源側を断続すべき充電素子選択用素子と放電用スイッチング素子に対して接地側を断続すべき放電素子選択用素子を設け、両選択用素子を同時又は排他的に単一又は独立の制御線を介して制御し、充電路又は放電路の並列接続の増減調整を図る点に特徴を有する

特開平3-141391(8)

ものであるから、次の効果を奏する。

- ① 単一の制御線により同時に充電素子選択用素子及び放電素子選択用素子が開閉制御された場合には、出力電圧波形の立上り特性と立下り特性と連動させた状態の下において、伝達時間とオン・オフ電圧値を出力ビット毎に校正することができる。そして、その校正はプログラム制御できるので、インターフェイス回路又はD-A変換器としても利用することができる。
- ② 単一の制御線により排他的に又は専用制御線により充電素子選択用素子と放電素子選択用素子が独立制御された場合には、多ビット間に立上り特性と立下り特性のいかなる相関関係がある場合でも、基準値に合致するよう高精度に是正可能で、伝達時間及びオン・オフ電圧値のバラツキを有効的に校正することができる。また、ビット毎の配線長さ(配線容量)の違いによる遅延時間を補正することができる。

#### 4. 図面の簡単な説明

第1図は本発明の第1実施例に係るLCDドライバ集積回路を示すブロック図である。

第12図(A)、(B)は夫々同従来例における出力トランジスタ部を詳細に示す回路図である。

第13図は同従来例における出力ビット間の出力電圧波形のバラツキを示す波形図である。

#### (主要符号の説明)

- 1…シフトレジスタ部
- 2…ラッチ回路アレイ部
- 3…データ選択部
- 14、24…出力トランジスタ部
- 14<sub>i</sub>…14<sub>n</sub>、16<sub>i</sub>…スイッチング部
- 14<sub>i1</sub>…14<sub>in</sub>…3ステートバッファ回路
- 16a…充電用MOSFET
- 16b…放電用MOSFET
- 17a…充電素子選択用MOSFET
- 17b…放電素子選択用MOSFET
- 18…イバータ
- 24<sub>i</sub>…24<sub>n</sub>、24<sub>i</sub>…2コントロールバッファ回路

イバ集積回路を示すブロック図である。

第2図は上記実施例における1つのスイッチング部を示すブロック図である。

第3図は上記スイッチング部の詳細を示す回路図である。

第4図は同実施例における出力電圧波形の校正例を示す波形図である。

第5図は本発明の第2実施例におけるスイッチング部の詳細を示す回路図である。

第6図は同実施例における出力電圧波形の校正例を示す波形図である。

第7図は本発明の第3実施例に係るLCDドライバ集積回路を示すブロック図である。

第8図は同実施例における1つのスイッチング部を詳細に示す回路図である。

第9図は本発明の第4実施例に係るLCDドライバ集積回路を示すブロック図である。

第10図は同実施例における出力電圧波形の校正例を示す波形図である。

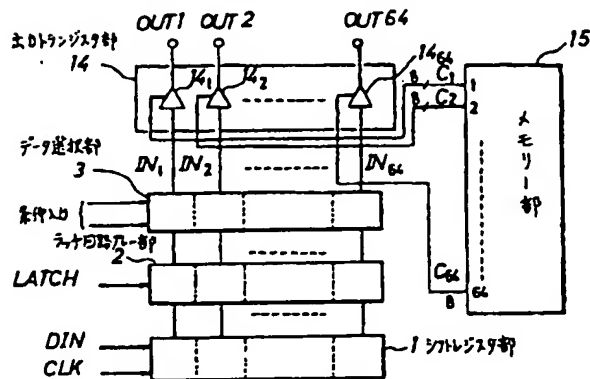
第11図は従来のLCDドライバ集積回路の一例

34…バッファ回路部。

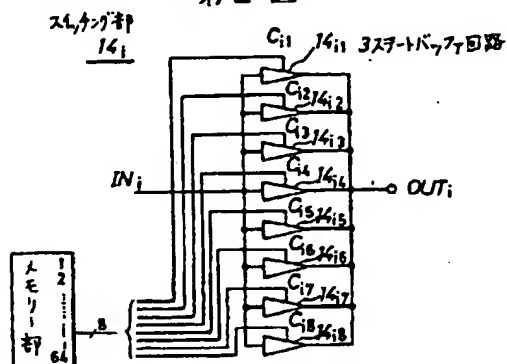
特許出願人 富士電機株式会社  
代理人 弁理士 山田 稔



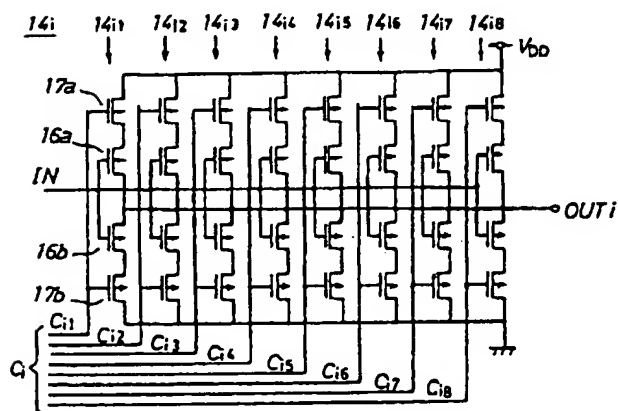
第1図



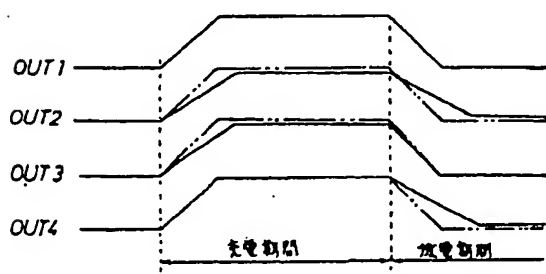
第2図



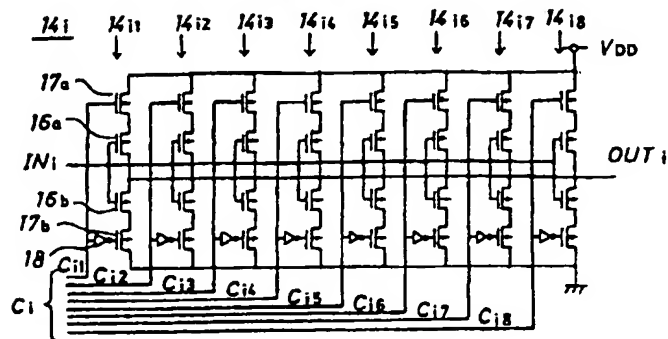
第5図



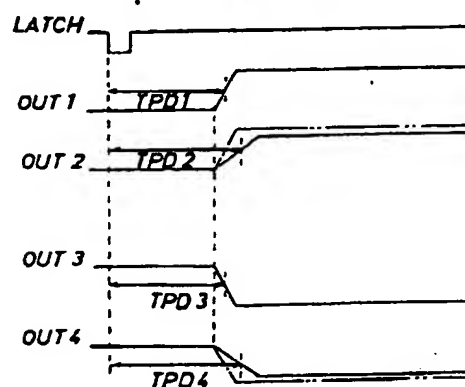
第6図



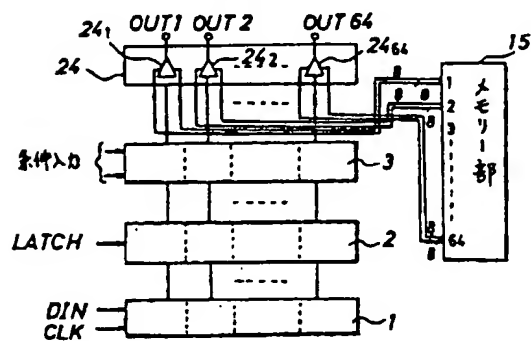
第3図



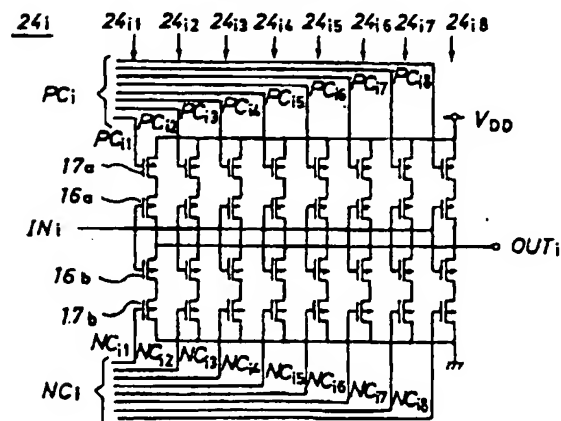
第4図

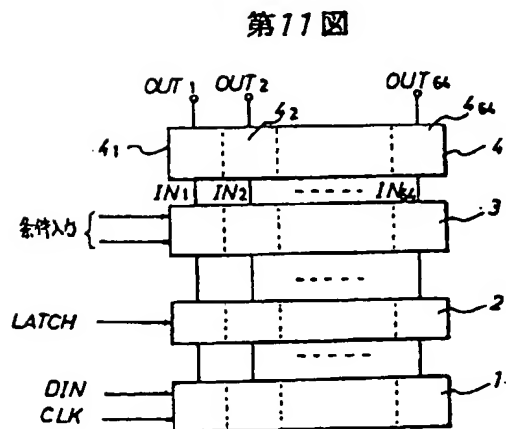
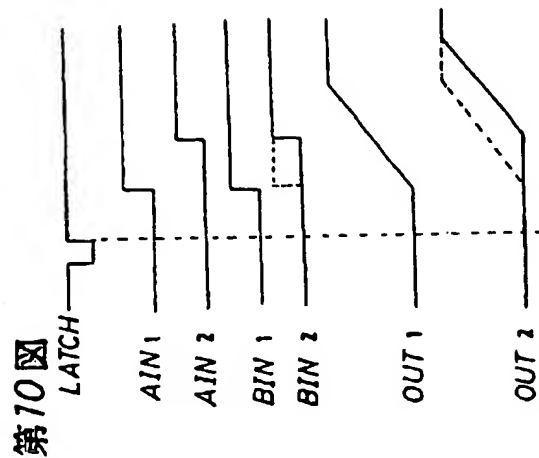
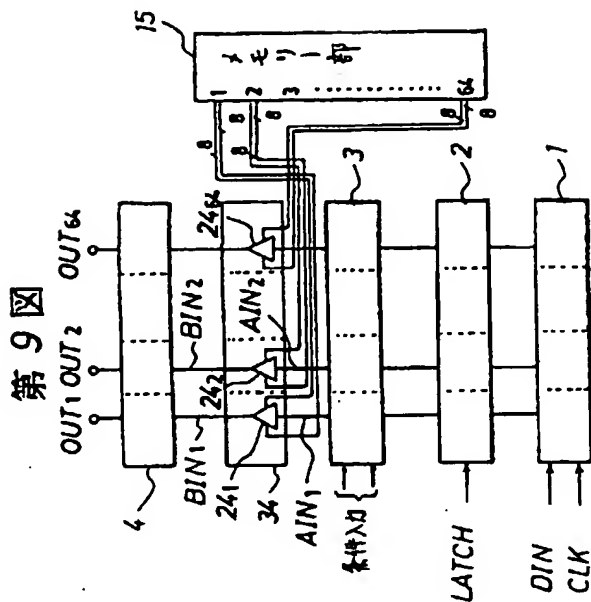


第7図

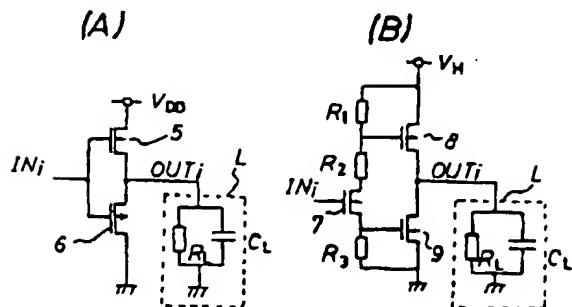


第8図





第12図



第13図

